

Taiwan Patent Publication No. 554451

Taiwan Patent No. 186089 Issue Date: 2003/09/21

Application No. 091101886 Application Date: 2002/02/04

SINGLE LAYER SURFACE MOUNT PACKAGE

CONCISE EXPLANATION OF RELEVANCE

A single layer surface mount package suitable for use with a high frequency microelectronic device includes a lead frame partially embedded in a dielectric material is integrally formed or molded into the cavities between the leads and die attach area of the lead frame such that at least at least the die attach area remains exposed on the top and the bottom surface of the dielectric material. A sufficient length of each lead remains exposed beyond the perimeter of the dielectric material for surface mounting to a circuit of a next level assembly.

公告本

申請日期	81. 2. 4
案 號	81101886
類 別	H01L 21/56

A4
C4

(以上各欄由本局填註)

554451

發明專利說明書

一、發明名稱	中 文	單層表面安裝封裝
	英 文	SINGLE LAYER SURFACE MOUNT PACKAGE
二、發明創作人	姓 名	1. 傑瑞 L. 卡特 JERRY L. CARTER 2. 提摩西 J. 果伊 TIMOTHY J. GOING
	國 籍	皆美國 U.S.A.
三、申請人	住、居所	1. 美國加州波摩諾市唯波伊特路27號 27 VIEWPOINT CIRCLE POMONA, CALIFORNIA 91766, U.S.A. 2. 美國加州歐利唯翰恩市歐利唯路1098號 1098 OLIVE CREST DRIVE OLIVENHAIN, CALIFORNIA 92024, U.S.A.
	姓 名 (名 稱)	美商史崔提吉公司 STRATEDGE CORPORATION
三、申請人	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國加州聖第牙哥市維里道4393號 4393 VIEWRIDGE AVENUE SAN DIEGO, CALIFORNIA, 92123, U.S.A.
三、申請人	代 表 人 姓 名	羅納 O. 巴布 RONALD O. BUB

四、中文發明摘要(發明之名稱：單層表面安裝封裝)

一種單層表面安裝封裝，其係應用於高頻微電子裝置，該封裝係包含一部分嵌入於一介電材料中之導線架以及一罩蓋。該介電材料係一體成型或模塑於介於該導線與導線架之方格連結區域之間的凹室中，使得至少該方格連結區域係保持外露於該介電材料之頂面及底面。每一導線之足夠長度係保持外露出於該介電材料之周邊，以使其可以表面安裝至下一階總成之電路上。

英文發明摘要(發明之名稱：SINGLE LAYER SURFACE MOUNT PACKAGE)

A single layer surface mount package suitable for use with a high frequency microelectronic device includes a lead frame partially embedded in a dielectric material and a lid. The dielectric material is integrally formed or molded into the cavities between the leads and die attach area of the lead frame such that at least the die attach area remains exposed on the top and the bottom surface of the dielectric material. A sufficient length of each lead remains exposed beyond the perimeter of the dielectric material for surface mounting to a circuit of a next level assembly.

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國 (地區)	申請專利，申請日期：	案號：	， <input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
美國	2001年02月02日	60/266,265	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無 主張優先權
美國	2002年02月01日	10/066,018	<input checked="" type="checkbox"/> 有 <input type="checkbox"/> 無 主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明(1)

相關申請案之相互參考

本案係主張於西元2001年2月2日申請之美國專利臨時申請案第60/266,265號案之優先權，該案內容在此援引為參考。

發明領域

本發明整體而言係關於用於高頻電子裝置之封裝領域，尤其係關於具有一導線架之單層表面安裝封裝，其中該導線架係部分地埋設在一介電材料中並且由一罩蓋所覆蓋，以包圍一高頻電子裝置，以及將高頻電子裝置安裝及連接至一電路。

發明背景

積體電路科技的持續發展，已可製造出具有更高速度、頻率、效能及功能複雜性之裝置。這些特質係藉由有效控制及管理晶圓尺寸互連技術而實現在愈來愈小的電子裝置中。積體電路技術之一重要元件便係針對這些高性能電子裝置之封裝。除了提供由電子裝置至下一階總成(諸如一電路板)之簡單明瞭的轉移之外，封裝係必須適用於具成本效益的表面安裝方法，其可以利用高度自動化系統來組裝該電路板。

隨著電子裝置之頻率及/或速度的增加，目前可用的封裝係變成對於電氣響應的主要抑制者。極高頻信號係會由於信號嘗試通過電氣結構及封裝之互連部位而衰退。由導線所造成之阻抗不連續，與在導線及位在封裝上之配接導線墊之間的互連與下一階總成上的互連，係會造成無法接受的信號扭曲。該信號亦會由於封裝之結構外形而遭遇到空

五、發明說明(2)

腔諧振或波導模式產生的問題。由於這些封裝的瑕疵，因此現行的表面安裝封裝幾乎很少可以有效地傳輸頻率高於數十億赫(Gigahertz)之信號。

可改善上述信號性能問題之習知封裝，通常係由數個層體所構成，包括一導電基層、一陶製電路基板、一陶製密封環圈基板以及一罩蓋，如在美國專利第5,465,008號(Goetz等人)以及美國專利第5,735,972號(Wein等人)中所揭露的結構。這些封裝係採用一個或一組微波帶狀傳輸線路、帶狀傳輸線路及嵌入式微波帶狀線路，以提供由電子裝置至封裝邊緣的傳導路徑，使其能以導線連結至下一階總成。微波帶狀傳輸線路係高於一接地平面之導體，且其係以一介電體而與接地平面隔開。微波帶狀傳輸線路係介電體、線路寬度以及介電體厚度的函數。帶狀傳輸路線係通過介電體之導體，其中該帶狀傳輸路線係配置在兩接地平面之間。帶狀傳輸線路之阻抗係介電體、線路寬度及位在導體上方及下方之介電體之函數。嵌入式微波帶狀線路係類似於帶狀傳輸線路，但其未包括上方接地平面。這些傳輸線路類型係形成在封裝之電路基板上，以提供由電子裝置至封裝邊緣之連接，且可減少信號退化。該傳輸線路係具有精確的尺寸，以提供連續的50歐姆阻抗。

習知技術之封裝減少信號退化的方式，係利用多層介電基質、採用一系列導電元件以在至少一介電基質上形成傳輸線路、以及一內部接地平面來達成。該多個層體係以複雜的製程而結合在一起，以構成高頻封裝，且在低頻裝置

五、發明說明(3)

表面安裝至電路之後，才將該高頻封裝以手來組裝至下一階總成電路上。因此，該製程步驟係相當繁瑣、複雜、耗費成本及時間。

圖1a及圖1b係分別顯示一經改良的習知封裝10之俯視及仰視圖，其係採用嵌入式微波帶狀結構，其可以表面安裝在一電路上。該表面安裝封裝10係包括一導線架14，其係連結至一介電體或陶製環圈12之底部。導線架14係由一導線20之陣列及一方格連結或接地平面部分24所構成，其中該接地平面部分24係與介電環圈12之凹室22對正。介電環圈12係包括導電軌跡26，其係形成在介電環圈12之頂面，並且由凹室22延伸至介電環圈12之側邊。一晶片或電子裝置(未顯示)係放置在介電環圈12之凹室22內部，且該電子裝置係藉由導線連結而連接至導電軌跡26。

每一導電軌跡26係用以傳輸信號至電子裝置或由電子裝置傳輸信號，其通常係包括一導電墊區域16，該導電墊區域16係比導電軌跡26還寬，以作為在封裝電子裝置與電路之間之傳輸線路的阻抗匹配。在陶製主體12之底部上的導線20係藉由在陶製主體12之側邊上的圓形通渠或半渠18而電性連接至導電墊16。在將一電子裝置放置在凹室22之後，一陶製罩蓋(未顯示)係連結至陶製環圈12之頂面，以將電子裝置覆蓋在凹室22中。該罩蓋、導電軌跡26及襯墊16與導線架14之接地平面部分24係構成習知封裝10之嵌入式微波帶狀線路。

在圖1a及1b中所顯示之習知技術的表面安裝封裝10係可

五、發明說明(4)

改善高頻裝置之信號傳輸的問題，且其層體係比一般多層封裝的層體還少。當封裝10係表面安裝至下一個較高階總成之接地平面時，該方格連結區域24係用以作為接地平面。雖然該表面安裝封裝10係可以避免將封裝個別地連接及插置在下一階總成的需要，然而該表面安裝封裝10亦仍需要許多不同的製程步驟來完成該封裝，例如，形成具有半通渠18之陶製主體12的步驟、在陶製主體上形成導電軌跡26的步驟、藉由精確的設計襯墊16與導電軌跡26之尺寸以匹配阻抗等等。針對這些封裝10之製程步驟係耗時且成本高，並且對於裝置之可靠性係可能會有負面的影響。

因此，便有需要發展一種易於製造之表面安裝式微電子封裝，其係可同時連結低頻及高頻裝置，以及一種低成本的表面安裝技術，且其不會存在上述習知封裝之缺點。

發明摘要

本發明之一優點係在於其提供一種單層表面安裝封裝，其可適用於低頻及極高頻電子裝置。

本發明之另一優點係在於其提供一種單層表面安裝封裝，其係由一嵌入在一介電材料中之導線架所構成，其係易於製造，且可以有效傳輸具有高於數十億赫(Gigahertz)頻率之信號。

本發明又另一優點係在於其提供一種製造一表面安裝封裝之具有經濟效益的方法，其可以免除製造多種形狀基質且在至少一基質上形成導電軌跡以及定位及連結該基質層的需要。

五、發明說明(5)

在本發明之一示例性實施例中，一表面安裝封裝係適用於高頻電子裝置，該封裝係包含一用以固定一電子裝置之單一基底層，以及一用以覆蓋該電子裝置之罩蓋。該單一基底層係包括一導線架，其具有一外部架體部分、一方格連結區域以及用以連接至下一階總成之電路的任何適當數量的導線。該導線係連結至外側架體部分，並且向內延伸至鄰接(但未接觸)該方格連結區域。至少一導線連接至方格連結區域，其中該方格連結區域係具有足夠的面積，以支撐一電子裝置，且其通常係作為一接地平面。一介電材料係倒入或模塑於導線與該導線架之方格連結區域之間，以形成一單一基底層，使得該導線架係同時外露於該單一基底層的頂面及底面。在示例性實施例之另一實施例中，該介電材料係用以覆蓋該位在基底層底面的導線，使得僅有該方格連結區域係外露出來。一電子裝置係安裝在基底層頂面之方格連結區域上，且該電子裝置之信號線路係連結，例如，導線連結，至一相鄰的導線。該罩蓋或頂蓋係直接連結至基底層，以封蓋該電子裝置。

示例性實施例之表面安裝封裝的導線係可表面安裝於具有高頻或低頻可表面安裝裝置之下一階總成之電路。該下一階總成係需要針對單層表面安裝封裝導線來提供匹配阻抗，以及針對封裝之方格連結區域來提供接地平面。因此，本發明可以免除製造多個封裝層的需要，包括分開的接地平面、針對阻抗匹配阻抗來提供特殊型式的軌跡、以及分別將封裝連結至下一階總成。

五、發明說明(6)

在製造本發明表面安裝封裝之一示例性方法中，一導線架之導線及方格連結區域係放置在一模具或射出成型模塑裝置中。一適當的介電材料，諸如陶材，係形成在導線之第一長度及方格連結區域周圍，以形成一單一基底層。在此所用之"形成"一詞係指任何當模塑該介電材料之方法，包括熔化一粉末或一預成體、射出或擠壓液體成型、在原處燒結粉末、或者係將一材料反應硬化。導線其連結至外部架體部分之第二長度係保持完全外露，以作為用以連結至下一階總成電路的封裝導線。該模塑之介電材料的厚度或高度係可配合導線架之厚度，使得導線及中央凸起部係外露在單層表面安裝封裝之上表面及下表面。或者，該介電材料係略厚於該導線架，以覆蓋該位在封裝底面之導線。一電子裝置係放置在基底層之方格連結區域的頂面上，且電子裝置之信號線係利用，例如導線連結技術，而連結至導線。外側架體部分係由導線架移除，使得經封裝之電子裝置可以很容易地表面安裝在下一階總成之電路。

在第二示例性實施例中，該介電材料係模塑至導線架，且包括一突伸至高於導線架頂面之介電環圈。該高起的介電環圈係提供一凹室，以收納該電子裝置。該介電環圈係沿一預定封裝邊緣之周長來加以模塑，且具有一環圈寬度，使得該導線之內部以及方格連結區域係保持外露。一扁平罩蓋或頂蓋接著便可用以作為一封裝蓋體，並且直接連接至高起的介電環圈。該高起的介電環圈係可提供被封蓋之電子裝置的額外保護，以及增加封裝之結構支撐。使用

五、發明說明(7)

簡單的扁平罩蓋的成本不高，且若需要一光學視窗來接近該封裝時，則上述之罩蓋更具有優點。一光學罩蓋可以係一塊簡單的扁平光學玻璃、青玉或一種可以使所著重之光譜部分穿透之材料。

在另一示例性實施例中，該突伸之介電環圈可以具有任何適當的高度及寬度，只要可使該方格連結區域之面積保持外露以收納該電子裝置，以及使該導線之一部分保持外露以連接至電子裝置之信號線路即可。

如上所述，該單層表面安裝封裝之示例性實施例係提供優於習知技術之創新改良。該單層表面安裝封裝係可通用於低頻及高頻裝置。一單一層體、多用途封裝係可簡化電路製造，以減少庫存需求。封裝之複雜度係大大地降低，而僅需要一導線架嵌設在一介電材料及一罩蓋中。使用較少的封裝元件係可以有效率且具成本效益地生產封裝。此外，導線架之介電材料的形成係可提供具有結構穩定性的封裝導線，這在習知技術中係從未具有的特徵。

示例性實施例之封裝的其他優點，係在於其可減小封裝的尺寸。習知技術封裝的導線係由空氣或真空所隔開。其係需要足夠的間隔以避免在相鄰導線上之信號發生干擾。相反地，本發明之表面安裝導線封裝的佔用面積係僅略大於所封蓋之電子裝置，因為在導線之間係模塑有介電材料，其相較於空氣及真空隔開係具有更高的阻抗。

用以在導線架周圍模塑介電材料之方法亦提供一種針對在電路中或者係外部下一階總成之特定應用來調整導線幾

五、發明說明(8)

何形狀之較為容易的方式，因為在模製過程中係可以採用具有任何適當形狀之導線架。最後，熟習傳輸線路設計者可以瞭解，藉由將電氣軌跡的幾何形狀調整在導線圖樣中，則針對任何被封裝之電子裝置，其皆可以實現在高頻時的電氣特性。

圖式之簡單說明

本發明將可由以下本發明之示例性實施例的詳細說明，並配合後附之圖式，而獲得更深入之瞭解，其中在數個圖式中，相同之元件係以相同的標號來加以標示，其中：

圖1a係習知表面安裝封裝之俯視圖；

圖1b係圖1習知封裝之仰視圖；

圖2a係較佳實施例之封裝的立體視圖；

圖2b係圖2a之俯視圖；

圖2c係圖2a之封裝的側視圖；

圖3a係表面安裝封裝之第二實施例的立體視圖；

圖3b係圖3a之俯視圖；

圖3c係圖3a之封裝的側視圖；

圖4a係表面安裝封裝之第三實施例的立體視圖；

圖4b係圖4a之俯視圖；以及

圖4c係圖4a之封裝的側視圖。

圖式之詳細說明

圖2a係較佳實施例之單層表面安裝封裝30之立體視圖。該表面安裝封裝30之單一基底層係由一嵌設在一介電材料44中之導線架32所構成。較佳實施例之介電材料44係一種

五、發明說明(9)

充填粉末狀陶材之玻璃材料所構成。一種典型的玻璃充填成份係Corning型式7052或等效玻璃，其係充填重量百分比25%之鋁粉，然而亦可以採用任何適當的介電材料，以形成該單一基底層30。導線架32係可包括一中央或方格連結區域38及複數導線36，其中該導線36係由方格連結區域38朝外輻射而出。該方格連結區域38係支撐電子裝置(未顯示)，並且亦可作為封裝30之接地平面。導線36最好係相對於彼此且相對於方格連結區域38來加以定位，以使其在所注重的頻率區域中可以有最佳化的電氣性能，且可保持易於連結至電路的特性。可以選擇導線連結、倒裝晶片或其他可連結至導線36之裝置，以減少信號由晶片至外部電路之損失及扭曲。

在較佳實施例中，其中兩導線40係連接至方格連結區域38，以提供一可連接至下一階總成之電路之接地平面的路徑。較佳實施例之導線架係由低膨脹合金所構成，諸如ASTM F-15(鐵鎳鈷合金)，其在整個外部金屬表面上係先鍍鎳再鍍金。亦可採用業界習知的其他適當導電性材料來構成導線架。該導線架之結構係可以依照電子裝置之需求而有所不同。藉此，在單層表面安裝封裝之導線架中係可採用具有任何型式之任何數量的導線。

如圖2a及2b所示，介電材料44係形成在導線36、40以及方格連結區域38的周圍，且具有一長度L及一寬度W。如圖2c所示，該介電材料44係模塑在導線架32之高度H內，以在導線架基底層30之頂部及底部形成一平坦表面。在單層封

五、發明說明 (10)

裝30的另一實施例中，介電材料44係可覆蓋形成在封裝30之底面上之導線36、40，同時留下該方格連結區域38外露出來。當封裝30安裝至下一階總成之電路時，藉由介電材料44覆蓋導線36、40便可避免在導線36、40之間發生短路。

請再參照圖2a及2b，留在導線架32內部周緣附近之未填滿凹室42係提供該導線36、40延伸超過該介電材料44而與下一階總成之電路相連結之部分。一旦介電材料44模塑在導線36、40以及導線架之方格連結區域38周圍時，導線架32之外部環圈34便可以由封裝30移除。較佳實施例之導線36、40之長度係加以標準化，以與各種不同的電子裝置及電路總成配合。這使得電路製造商能以較精確的佔用面積來設計下一階總成，以將封裝30表面安裝至電路板。由於導線36、40係完全外露於封裝30之底部，因此當針對每一導線之電路卡佔用面積延伸至封裝下方以與導線對齊成一直線時，導線36、40並不需要延伸超過介電材料。這使得封裝導線由晶片至電路板之實際長度可以極短，且實質上在導線的厚度內係呈平坦狀。該短且平坦的導線便可以最佳化地作為一有效高頻電路之傳輸線路。這亦可使該封裝在電路板上儘可能地僅佔用很少的空間。

在本發明之一實施例中，構成封裝30之邊緣的介電材料44係具有0.180英吋之長度L以及0.140英吋之寬度W。該方格連結區域38係0.082英吋乘以0.042英吋。然而，封裝30之尺寸亦可設計成使被包圍的電子裝置具有最佳化的電氣特性。此外，封裝30亦可設計成具有標準輪廓，以使封裝可以應

五、發明說明(11)

用於各種不同的電子裝置，以及應用在採用標準化表面安裝佔用面積之電路上。

圖2c係顯示圖2a之封裝30的側視圖。一具有罩蓋高度 h_c 之罩蓋46係連結至導線36、40以及基底層之介電材料44。較佳實施例之罩蓋46係延伸至介電材料44之邊緣。然而，罩蓋46亦可具有任何足以覆蓋該電子裝置之寬度。

圖3a係本發明之單層表面安裝封裝50之第二實施例的立體視圖。介電材料54係形成在導線58及導線架52之方格連結區域60。此外，介電材料54係模塑成型而合併一介電環圈56，其中該介電環圈56係以一環圈高度 R_h 而高於導線架52之表面，如圖3c所示。介電環圈56係可針對電子裝置(未顯示)來提供一保護凹室。一罩蓋或頂蓋62係可連結至介電環圈56，以覆蓋該電子裝置。現請參照圖3，該環圈寬度 R_w 亦可有所變化，只要導線58嵌入的部分係保持外露，以連接至電子裝置之信號線路即可。

圖4a、4b及4c係顯示單層表面安裝封裝70之第三實施例，其中該介電環圈寬度 R_w 係最大化。在本實施例中，該介電材料74係突伸高於導線架72之表面，並且完全覆蓋導線80。一凹室係保持高於至少該方格連結表面78之至少一部分，以收納一電子裝置(未顯示)。具有任何適當尺寸或形狀之通渠76係定位在每一導線上方，並且鄰近該方格連結表面78。通渠76係用以將電子裝置之信號線路連接至導線80。在本發明另一實施例中，導線80亦可以由封裝70之底面向上撓曲而形成“<”形彎曲。在此實施例中，連接區域76便

五、發明說明(12)

係該導線架其與介電材料74之頂面齊平且外露出來之頂面部分。導線80之”<”形彎曲部位係可設計成一種容易順利彎曲之部位，以減少信號之高頻扭曲。

在製造用以連接至下一階總成(未顯示)之電路之單層表面安裝封裝30的方法中，一具有複數導線36的導線架32係由適當導電材料所製成，其具有至少一連接至中央方格連結區域38之導線40。複數導線36係由鄰近方格連結區域38之位置延伸至導線架32的外部環圈。介電材料44係模塑至導線架32的中央部分，其包括該導線36、40以及方格連結區域38之至少一部分長度，以形成一基底層。該介電材料44係限制在一高度上，其中該高度係相等於導線架32之高度H，以提供該基底層具有平坦的頂面及底面。在較佳實施例中，導線36及方格連結區域38係同時外露於頂面及底面。在較佳方法之另一實施例中，該介電材料係模塑成可以覆蓋該位在基底層之底面上的導線36、40。一電子裝置(未顯示)係放置在方格連結區域38上。電子裝置之信號線路係連接至鄰近方格連結區域38之導線36。一罩蓋46係放置在基底層之頂面，並且利用業界所習知的任何方法(諸如環氧樹脂或其他黏膠)而連結至基底層。最後，將導線架32之外部環圈34由該導線架上拆除。

在製造介電材料之較佳實施例中，其係將一充填玻璃之陶塊放置在一具有導線架之碳模中。將該模具通過一火爐，且藉由重力流以及藉由位在玻璃塊上之其他碳塊來將玻璃向下壓迫。其他製造方法係包括傳統的射出成型或將一

五、發明說明(13)

有機塑膠(諸如充填尼龍或酚系或環氧基樹脂)轉移模塑於導線架周圍，以及將一環氧基樹脂或類似之硬化塑膠熔鑄在導線架周圍。

完成的單層表面安裝封裝30便可以藉由適當的方式(例如，表面安裝)而連結至一下一階總成(未顯示)之電路。下一階總成之電路係預先設計成包括一用以連接至方格連結區域38之接地平面。該電路亦包括用以連接至導線36之電路軌跡，且其係預先設計成可針對電子裝置之輸入及輸出信號線路來提供50歐姆阻抗。

在製造單層表面安裝封裝50、70之第二較佳方法中，一導線架52、72係具有複數導線58、80以及一中央方格連結區域60、78。介電材料54、74係形成在導線58、80與方格連結區域60、78之間，使得介電材料係與導線架52、72之底面齊平。介電材料54、74係包括一高於導線架52、72之頂面的環圈突伸部56、74。該環圈突伸部係具有環圈寬度 R_w ，其係可以覆蓋所有或一部分的嵌入導線58、80。該方格連結區域60、78及該嵌入導線58、80之任何外露部分係形成一凹室，以收納一電子裝置(未顯示)。若介電環圈寬度 R_w 係延伸至中央方格連結區域60、78，使得導線58、80係可完全嵌入，且該方法尚包括提供貫通該介電材料54、74而深及每一導線58、80之通渠的步驟。該單層表面安裝裝置50、70係提供有一罩蓋或頂蓋62，以連結至介電環圈突伸部56、74。

雖然本發明之示例性實施例已說明如上，然而習於此技

第091101886號專利申請案
中文說明書替換頁(92年5月)

A7
B7

92年5月14日修正
補充

五、發明說明 (14)

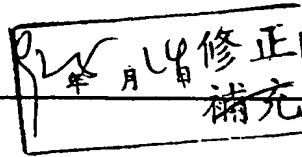
者應可瞭解，在不脫離本發明範疇的情況下，仍可對於上述實施例來進行修飾，其中本發明的範疇係由後附申請專利範圍所界定。

元件符號對照表

10,30,50,70	表面安裝封裝
12	陶製本體
14,32,52,72	導電架
16	導電墊
18	通孔
20,36,40,58,80	導線
22	凹室
24,38,60,78	品料附著區域
26	導電軌跡
34	外部環圈
42	未填滿凹室
44,54	介電材料
46	罩蓋
56,74	介電環圈
62	罩蓋或頂蓋

煩請委員明示
修正本行無異
92年5月14日所提之
修正。

裝
訂
線



六、申請專利範圍

1. 一種表面安裝封裝，其係用以包圍一電子裝置且將該電子裝置連接至一電路，該表面安裝封裝係包含：
 - 一基底層，其包含：
 - 一導線架，其具有一頂面及一底面，其包含：
 - 一中央方格連結區域，用以將該電子裝置支撐在該頂面上；
 - 複數導線，其係鄰近該中央方格連結區域且由該方格連結區域向外延伸而出，其中每一複數導線係連接至電子裝置之每一複數信號線路；
 - 一介電材料，其係一體成型式地包圍該複數導線與中央方格連結區域；以及
 - 一覆蓋裝置，其係用以封蓋該電子裝置；
 - 其中該用以連接至表面安裝封裝之電路係包含用以連接至複數信號線路之複數阻抗匹配線路，以及包含一用以連接至中央方格連結區域之接地平面。
2. 根據申請專利範圍第1項之表面安裝封裝，其中所形成之介電材料及導線架係具有相同高度，使得基底層係具有一平坦的上表面及一平坦的下表面，且其中該覆蓋裝置係一罩蓋。
3. 根據申請專利範圍第2項之表面安裝封裝，其中該導線架之底面及頂面係外露的。
4. 根據申請專利範圍第1項之表面安裝封裝，其中在導線架之底面上之複數導線係由介電材料所覆蓋。
5. 根據申請專利範圍第2項之表面安裝封裝，其中該導線架係具有0.010英吋的厚度。

六、申請專利範圍

6. 根據申請專利範圍第2項之表面安裝封裝，其中該基底層係具有0.140英吋的長度以及0.180英吋的寬度。
7. 根據申請專利範圍第2項之表面安裝封裝，其中該中央方格連結區域係具有0.042英吋之長度及0.082英吋的寬度。
8. 根據申請專利範圍第1項之表面安裝封裝，其中該介電材料係一體成型式地進一步包括一介電環圈，其係包圍該介電材料之周邊，且以一環圈高度高出於導線架之頂面。
9. 根據申請專利範圍第8項之表面安裝封裝，其中該介電環圈係覆蓋該位在導線架之頂面上之複數導線的第一部分，使得該導線之第二部分以及中央方格連結區域仍保持外露。
10. 根據申請專利範圍第8項之表面安裝封裝，其中該覆蓋裝置係一扁平罩蓋。
11. 根據申請專利範圍第8項之表面安裝封裝，其中該介電環圈係覆蓋該位在導線架之頂面上的複數導線，使得僅有該中央方格連結區域係保持外露。
12. 根據申請專利範圍第11項之表面安裝封裝，其中該介電環圈尚包含複數通渠，其係貫穿環圈高度而深及至複數導線，其中該通渠係提供一用以將電子裝置之複數信號線路連接至複數導線之導道。
13. 根據申請專利範圍第1項之表面安裝封裝，其中該介電材料係由陶材所構成。
14. 一種製造一表面安裝封裝之方法，其包含以下之步驟：

六、申請專利範圍

選擇一導線架，其具有方格連結區域及複數個鄰近方格連結區域且由方格連結區域向外延伸而出之導線，該導線架係具有一介於頂面及底面之間的厚度；

將該導線架嵌入至一介電材料；

將一電子裝置定位在該頂面之方格連結區域上；

將電子裝置之複數信號線路連結至位在頂面上之複數導線；以及

將一蓋體裝置結合至該嵌入導線架之頂面，以封蓋該電子裝置。

15. 根據申請專利範圍第14項之製造一表面安裝封裝之方法，其中將導線架嵌入至介電材料中之步驟係包含：

將導線架放入一模具中；

將介電材料加熱；

將加熱後之介電材料導入模具中；以及

冷卻該介電材料。

16. 根據申請專利範圍第15項之製造一表面安裝封裝之方法，其中將該加熱後之介電材料導入至模具中之步驟，係包含將一充填玻璃之燒結陶塊放置在一具有導線架之碳模中，並且使該模具通過一火爐的步驟。

17. 根據申請專利範圍第14項之製造一表面安裝封裝之方法，其中將該導線架嵌入至介電材料之步驟，係包含將介電材料限制在導線架之厚度中的步驟。

18. 根據申請專利範圍第14項之製造一表面安裝封裝之方法，其中該介電材料係一種陶材。

19. 根據申請專利範圍第14項之製造一表面安裝封裝之方法

六、申請專利範圍

，其中將該導線架嵌入至介電材料之步驟尚包含以下之步驟：

形成該介電材料之一高起環圈部分，以包圍該嵌入式導線架的周邊；以及

其中該蓋體裝置係一種由絕緣材料所製成之扁平罩蓋。

20. 一種製造一電路卡總成之方法，其包含以下之步驟：

在電路卡總成中形成第一複數軌跡，每一複數軌跡係具有50歐姆的阻抗；

在電路卡總成中形成至少一接地平面；以及

將電路卡總成上之複數個單層表面安裝封裝表面安裝至複數軌跡，以及安裝至至少一接地平面，每一單層表面安裝封裝係包含：

一導線架，其係嵌入於一介電材料中，該導線架係具有複數導線及一方格連結區域，其中每一複數導線係包含一外露表面，以連結至每一複數軌跡，且其中該方格連結區域係連結至該至少一接地平面；

一電子裝置，其係具有信號線路，其中該電子裝置係定位在該方格連結區域上，且其中該信號線路係連接至複數導線；以及

一蓋體構件，其係用以封蓋該電子裝置。

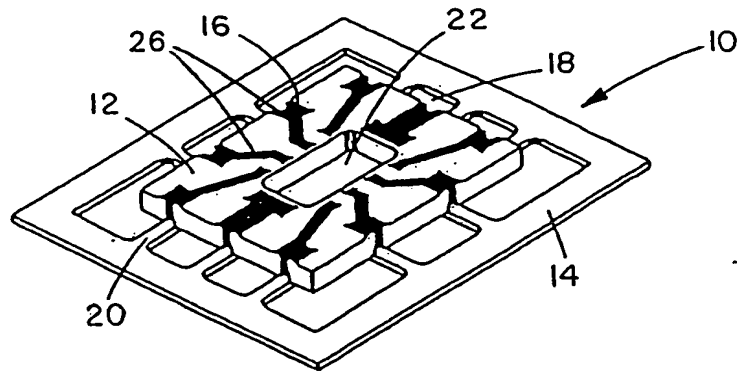


圖 1a
先前技藝

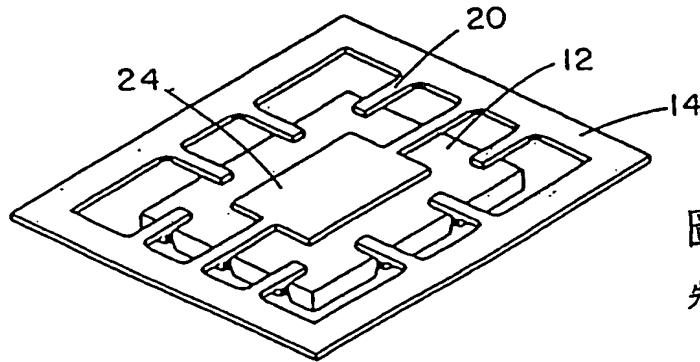


圖 1b
先前技藝

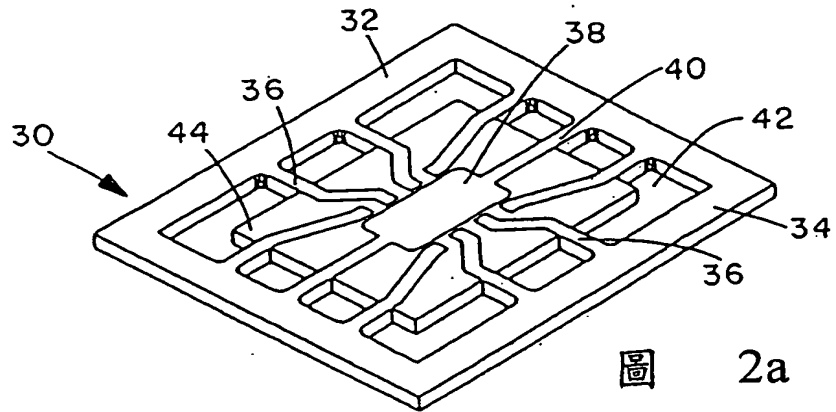


圖 2a

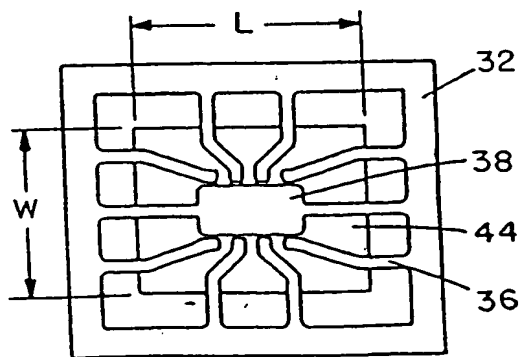


圖 2b

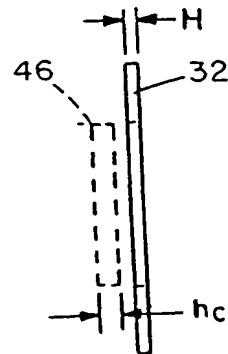


圖 2c

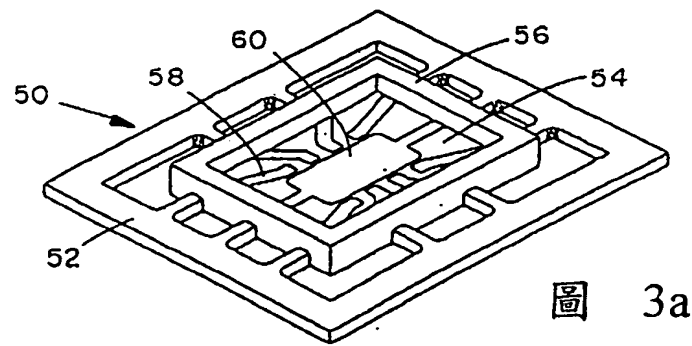


圖 3a

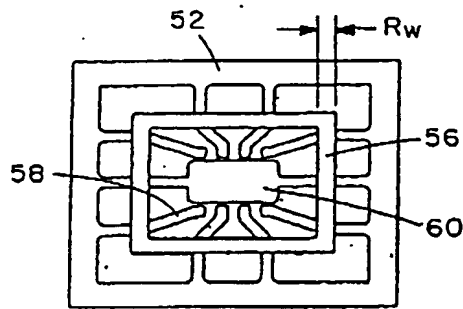


圖 3b

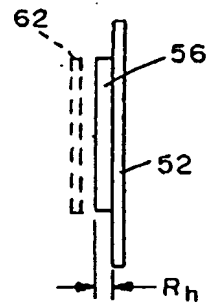


圖 3c

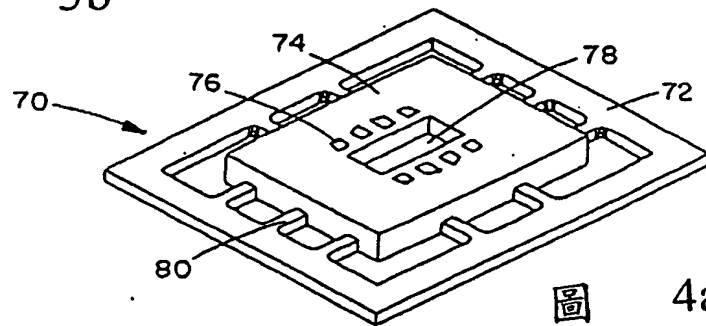


圖 4a

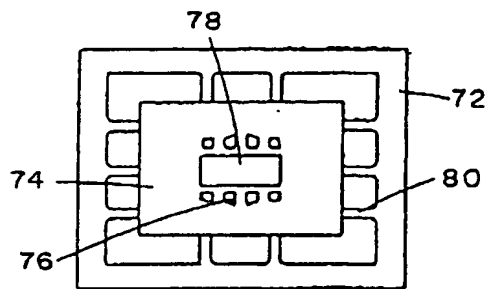


圖 4b

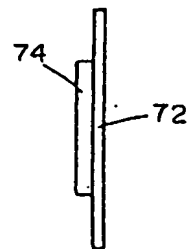


圖 4c

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.